

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

I) Int. Cl.	(11) 공개번호	1999-0036704
II) 21/28	(43) 공개일자	1999년05월25일
III) 21/3205		
I) 출원번호	10-1998-0040528	
II) 출원일자	1998년08월29일	
III) 우선권주장	97-274710 1997년10월07일 일본(JP)	
I) 출원인	닛폰엔끼 가부시끼가이샤, 가네고 히사시 일본 000-000	
II) 발명자	일본 도오교도 미나도쿠 시바 5초메 7방 1고 이노우에 겐 일본	
III) 대리인	일본 도오교도 미나도쿠 시바 5초메 7방 1고 닛폰엔끼 가부시끼가이샤 나미 박혜선 조영원	
IV) 심사접수	있음	
V) 출판영	상 전미를 사용한 반도체 장치 제조 방법	

작

도체 장치 제조에서, 제 1 상 구조를 갖는 내염성 금속 실리사이드 등이 형성된다. 이 경우에, 제 1 상 구조를 갖는 내염성 금속 실리사이드 반도체 기판이 가려되는 상태에서, 내염성 금속의 분자 확장을 수행하는 용한 형성을 수도 있다. 대신에, 내염성 금속막이 친공 상태미 저금화되고, 그후 내염성 금속막을 제 1 상 구조를 갖는 상기 내염성 금속 실리사이드 등으로 변화시키기 위해 반도체 기판이 친공 상태에서 절을 수도 있다. 제 1 상 구조를 갖는 내염성 금속 실리사이드 등이 형성된후, 옥 처리가 수행되어 상기 제 1 상 구조를 갖는 상기 내염성 실리사이드 등을 제 2 상 구조를 갖는 내염성 금속 실리사이드 등으로 변화시킨다.

도도

3

비서

본의 간단한 설명

- 1 은 제 1 풍래에에서 실리사이드 등을 갖는 반도체 장치를 형성 공정 순으로 나타낸 단면도.
- 2 는 제 2 풍래에에서 실리사이드 등을 갖는 반도체 장치를 형성 공정 순으로 나타낸 단면도.
- 3 은 본 발명의 제 1 실시예에 따라 실리사이드 등을 형성하는 방법에서 실리사이드 등을 갖는 반도체 장치를 형성 공정 순으로 나타낸 단면도.
- 4 는 본 발명의 제 2 실시예에 따라 실리사이드 등을 형성하는 방법에서 실리사이드 등을 갖는 반도체 장치를 형성 공정 순으로 나타낸 단면도.
- 5 는 실리사이드 등이 본 발명의 제 2 실시예에 따라 실리사이드 등을 형성하는 방법으로 형성을 때 사이드 저항의 변화 및 전류 오류 및 막 형성 속도의 관계를 나타낸 그레프.

6 은 본 발명의 제 3 실시예에 따라 실리사이드 등을 형성하는 방법에서 실리사이드 등을 갖는 MOS 드래지스터를 형성 공정 순으로 나타낸 그레프.

7 은 상기 제 3 실시예의 효과를 나타낸 그레프.

표현의 주요부분에 대한 부호의 설명

실리콘 기판

소자 분리 절연막

화산층

배리어막

코발트막

Co₂Si 막

CoSi 막

CoSb₃ 탁

제10 장 세미나

합법의 부작

말뚝미 속하는 기술 및 그 분야의 동례기술

만약은 만도체 장치 제조 방법에 관한 것으로, 특히 절연 게이트형 전기 효과 트랜지스터 (MOS 트랜지스터) 의 소오스 또는 드레인 학산을 억제 또는 게이트 전극의 표면상에 실리사이드를 형성하는 방법에 관한 것이다.

내연 폴리 물기 및 높은 힘도움 갖는 반도체 장치의 개발은 어려워 다이나믹하게 수행된다. 현재, 메모리 장치 및 코직 디바이스와 같은 물리학 반도체 장치는 0.15 내지 0.25 μ m의 성능 규칙에 기초하여 개발되어 왔다. 반도체 장치의 고급화도, 게이트 전극 쪽 및 악산층 쪽이 소수는 얹고 각각의 반도체 장치의 구성 성분의 막 두께를 감소하는 것이 매우 중요하게 된다.

상승미 압운 저항을 갖도록 형성될 때, MOS 트랜지스터의 기생 저항이 증가하여 MOS 트랜지스터의 구동 능력을 감소시킨다. 또한, 기울기의 약 두께의 강소 또는 배선 폭의 강소는 패인 팩토로 배선 저항을 증가시켜 외로 등학의 지연에 크게 영향을 준다.

각서, 미세한 패턴을 찾는 반도체 정치에서, 악산층의 표면상에 또는 게이트 절극의 표면상에 고용정 또는 내임성 쿨리 사이트를 형성해 숨이 끊기게 된다. 특히, 쇠리사이드 등 형성 기술 또는 삼리사이드 등 형성 기술에서, 쿨발트와 같은 고용정 금속이 미세한 패턴을 갖는 드렌지스터에 필수적으로 된다. 이 경우에, 쇠리사이드 등의 저항값을 일정하게 유지하는 것이 어렵기 때문에, 각층의 양의 연구되고 장단다. 예를 들어, 쿨반트 쇠리사이드 등을 형성하는 경우에, 쇠리트과 쿨발트의 역 반응을 제어하는 것이 특히 어렵다.

같은 실리사이트 등을 형성하는 중래 방식은 일본 특허 개명 (JP-A-Hoilei 2-145923 : 미야, 제 1 중래에라고 함)에 설명되어 있다. 또한, 미국 특허 (JP-A-Hoilei 7-86559 : 미야, 제 2 중래에라고 함)에 혼용된 방법이 알려져 있다.

1 을 조바이 제 1 플래매콤 설명한다. 도 1 은 콜박트의 삼리사이드 형성 공정을 나타낸다.

1의 (a)에서 나한센 바와 같이, N 월 (102) 은 충지된 방법에 의해 P형 실리콘 기판 (101)에 형성된다. 계속해서, 필름 산화막 (103)은 해역인 산화 방법에 의해 P형 실리콘 기판 (101)의 표면상에 형성된다. 실리콘 산화막 및 플리시리온막과 같은 게이트 산화막 (104)은 필름 산화막 (103)에 의해 둘러싸인 형상 양쪽에 차례로 형성된다. 불연물로서 일 이용은 공지된 기술에 의해 플리시리온막에 도항된다. 따라서 플리시리온막의 저항값은 잠소이다.

향으로, 상온한 폴리실리콘을 증기로 풍모리소그래피법 및 전식 에칭법에 의해 패터닝되어 게이트 젤록 (105)이 형성된다. 그후, 저온 N형 보통은 악산증 (107) 및 저온도의 P형 보증은 악산증 (108)이 포모리소그래피법 및 이온 주입법에 의해 형성된다. 계획해서, 실리콘판막 또는 실리콘 절연막으로 이루어진 속벽 스파이서 (106)는 흥자립판막 기상 혼착법 (CVD) 및 전식 에칭법을 사용하여 게이트 젤록 (105) 층과 상상상에 형성된다.

으로, 도 1 의 (b) 에 나한길 바와 같이, 고농도의 P형 낭류를 학산층 및 고농도의 N형 낭류를 학산층은 포모리소그래피면 및 미온 주입면에 형성된다. 따라서, N형 소모소 및 드레이인 학산층 (109) 과 P형 소모소 및 드레이인 학산층 (110) 이 LDD (Lightly Doped Drain) 구조를 갖게 형성된다. 계속해서, 게이트 전극으로서의 풀리신리온학의 표면상에 그리고 얀리온 기판의 표면상에 자연 산화학 (특수하지 않음) 을 하고 쿠란트학 (111) 은 실리온 기판을 가열하지 않고 스퍼터링된다. 그후, 실리온 기판은 실리온 기판의 표면을 대기해 노출시키지 않고 광치내에서 CeSb_2 막 (112) 이 형성되는 온도로 가열된다. 이 경우에, 가열 온도는 500 °C 내지 800 °C 사이의 범위내에 있다.

금에, 도 1 의 (c) 에 나온 바와 같이, 속식 애칭이 항산 용액 및 과산화수소 용액의 혼합 용액에 의해 수해되어 흰드 산화막 (103) 상에 그 육면 스파이서 (106) 상에 존재하는 코발트막 (111) 의 미반응 부문을 선택적으로 제거한다. 따라서, CeSi_2 막 (112) 은 절연막에, 즉, 산화막 (103) 및 육면 스파이서 (106) 의 표면상에, 어떤 만큼 코발트 쇠리사이드로 인한 형성하지 않고 MOS 트랜지스터의 게이트 전극 (105) 의 형성상에, N형 속도우수 및 툴레인 와산동 (109) 의 표면상에 그리고 P형 소로스 및 트레인 와산동 (110) 상에 선택적으로 형성된다.

2의 (a)에 나타낸 바와 같이, 소자 분리 형식 (202)은 실리콘 기판 (201)의 표면상에 형성된다. 계속해서, 실리콘 산화막과 같은 게이지 링크 (203) 및 풍각 실리콘막은 소자 분리 형식 (202)에 의해 둘러싸인 양성 혼합에서 차례로 형성된다. 그후, 절연물로서 인 미용미 광지금에 의해 광리 실리콘막에 도침된다. 따라서, 광리 실리콘막의 저항값은 감소된다. 계속해서, 상술한 광리 실리콘막은 광지금 포토리소거법 및 견적 예진법에 의해 패턴화되어 광리 실리콘 게이트 (204)가 형성된다. 계속해서, 육체 소체이서 (205)는 광지금 방법에 의해 광리 게이트 (204)의 핵심상에 형성된다.

으로, 쿠먼트 (206) 및 티타늄학 (207) 이 스파티팅법에 의해 전자 표면상에 얹혀져으로 형성된다. 이 경우에, 학학의 금속학의 학 두 10 nm 정도로 설정된다. 계속해서, 금속 열적 어닐링법 (rapid thermal annealing : RTA) 과 같은 열 처리가 적소 분위기에서 700 °C 정도 행된다. 따라서, 도 2 의 (b) 에 나타낸 바와 같이, 쿠먼트 실리사이드학 (208) 은 실리콘 기판 (201) 표면상에 그리고 폴리실리콘 게이트 4) 의 표면상에 형성된다. 미파, 소자 분리 영역 (202) 및 영역 스파이서 (205) 의 실리콘 산화막상의 쿠먼트학 (206) 은 실리사이드학 (207) 과 실리사이드학 (208) 으로 변환된다. 도안, 전자 티타늄학 (207) 은 산화판 및 처리로 통해 티타늄 질화학 (208) 으로 변환된다. 그래서, 흡식 애정이 산화판 실리사이드학 (208) 및 티타늄 질화학 (208) 에 대해서 선택적으로 수행된다. 따라서, 도 2 (c) 에 나타낸 바와 같이, 쿠먼트 실리사이드학 (208) 이 실리콘 기판 (201) 상에 형성된 MOS 드레인시스템의 게이트, 소오스 및 드레인 영역으로 형성된다.

한명이 이루고자 하는 기술과 철학

거나, 상승한 제 1 품리에에서, 코박트와 실리콘의 반응이 발생하여 퍼드 산화막 (103) 및 측벽 소폐이서 (108) 와 같은 점막형상에, CoSi_2 형성되는 윤도에서 CoSi 막을 형성한다. CoSi 막이 이 방법으로 만든 형성되면, 음식에 영향에 의해 CoSi_2 막을 제거하기는 어렵다. 를 둘어, 혼산 용액 및 과산화수소 용액의 혼합 용액을 사용하여 점막상에 형성된 CoSi ,

막이 예정될 때, 게이트 또는 확산층상에 형성된 막도 예정된다. 이 때문에, 소모스 및 드레인 확산층과 게이트 전극의 저항값, 특히 소모스 및 드레인 확산층과 게이트 절연의 사이트 같은 미세한 패턴을 갖는 MOS 트랜지스터의 형성시 증가한다.

반면, 형성된 코발트 실리사이드 등의 막 두께를 제어도 어렵다. 결과적으로, 반도체 장치가 형성되는 반도체 히 또는 반도체 웨이퍼에서 M 트랜지스터의 게이트 전극과 소모스 및 드레인 확산층의 사이트 저항값의 편차도 감소시키는 것이 어렵다. 이 때문에, MOS 트랜지스터의 막 편차가 증가한다.

한, 상술한 제 2 항례에서, 코발트(206) 및 타이탄(207)은 스파티킹법에 의해 증착된다. 열 처리의 조건에 의존하여, 코발트와 타이탄의 저 반응을 통해 코발트 및 타이탄의 은한 경계 실리사이드막이 형성되는 경우가 있다. 결과적으로, 실리사이드 풍경의 수가 증가하는 경향을 갖는다.

또, 이 경우에, 코발트 실리사이드 등의 막 두께를 제어하는 것 또한 어렵다. 이 때문에, 상술한 바와 같이, 반도체 히 또는 반도체 웨이퍼 MOS 트랜지스터의 편차 특성이 증가한다.

(xs 트랜지스터의 소형화와 고밀적화로, 게이트 전극과 소모스 및 드레인 확산층의 최소 패턴 크기는 0.5 μ m 이하가 된다. 이 경우에, 게이트 전극 또는 확산층의 사이트 저항값은 게이트 전극 쪽 또는 확산층 쪽이 높을 때의 CoSi_2 막의 사이트 저항값에 비하여 높아지게 된다. 즉, 편성된 실리사이드 등의 저항값은 패턴 크기의 편성을 갖는다. 결과적으로, MOS 트랜지스터 또는 반도체 장치의 성능이 어려워진다.

발명은 상술한 문제를 해결하도록 성취된다. 따라서, 본 발명의 특례은 미세한 패턴 구조를 갖는 반도체 장치에서 게이트 전극 또는 확산층의 저항값이 적어질 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

한, 본 발명의 다른 특례은 코발트와 같은 고용정 금속과 질연막의 저 반응이 억제될 수 있어서 CoSi_2 막이 게이트 전극상에 형성되고 또는 확산층상에 형성될 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

반면의 또 다른 특례은 실리사이드 풍경 형성이 안정화되고 제조 비용이 감소될 수 있도록 실리사이드 풍경이 MOS 트랜지스터 제조 풍경에서 형성될 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

반면의 또 다른 특례은 실리사이드 풍경 형성이 안정화되고 제조 비용이 감소될 수 있도록 실리사이드 풍경이 MOS 트랜지스터 제조 풍경에서 형성될 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

반면의 구성 및 작용

반면의 특례를 성취하기 위해, 반도체 장치 제조 방법에서, 제 1 상 구조를 갖는 내염성 금속 실리사이드 풍경이 형성되고, 그후 열 처리가 수행되는 제 1 상 구조를 갖는 내염성 금속 실리사이드 풍경을 제 2 상 구조로 갖는 내염성 금속 실리사이드 풍경으로 변화시킨다.

1 상 구조를 갖는 내염성 금속 실리사이드 풍경을 형성하기 위해, 반도체 기판이 가열되는 상태에서, 내염성 금속의 농축 확장을 수행하는 풍경 금속 실리사이드 풍경 제 1 상 구조를 갖는다. 이 경우에, 내염성 금속의 농축 확장 풍경은 내염성 금속 실리사이드로 되는 미 흐로보다 작은 것이 바람직하다. 특히, 내염성 금속의 농축 확장은 0.05 μ m/sec 내지 0.3 μ m/sec의 범위내에 있는 것이 바람직하다.

한, 제 1 상 구조를 갖는 내염성 금속 실리사이드 풍경을 형성하기 위해, 내염성 금속막은 전기 상류에서 증착될 수도 있다. 그후, 반도체 기판은 전기 상류에서 가열되어 내염성 금속막을 제 1 상 구조를 갖는 내염성 금속 실리사이드 풍경으로 변화시킨다.

특히, 제 1 상 구조를 갖는 내염성 금속 실리사이드 풍경을 형성하기 위해, 배리어막이 반도체 기판의 실리온 핵유 풍경에 형성될 수도 있다. 핵유 막은 내염성 금속의 원자가 배리어막을 통과하도록 허용하고 실리온 핵유 풍경의 선리를 원자가 배리어막을 통과하지 못하도록 확장한다. 그후, 반도체 기판은 가열되어 배리어막상에 형성된 내염성 금속의 원자 및 실리온 핵유 풍경의 실리온 원자로부터 제 1 상 구조를 갖는 내염성 실리사이드 풍경을 형성한다. 이 경우에, 배리어막은 다용성 실리온 산화막인 것이 바람직하다. 또한, 내염성 금속은 반도체 기판이 400°C에서 500°C 사이의 범위내의 온도로 가열되는 동안 배리어막상에 증착되는 것이 바람직하다.

기 방법은 내염성 금속의 실리사이드화 되지 않은 부분을 제거하기 위해 반도체 기판을 세정하는 단계를 더 포함할 수도 있다. 이 경우에, 세정은 내염성 금속의 실리사이드화 되지 않은 부분을 제거하기 위해 양산 용액 및 고산화수소 용액으로 세정된다.

방법에서, 열 처리가 수행되어 제 1 상 구조를 갖는 내염성 금속 실리사이드 풍경은 제 3 상 구조를 갖는 내염성 금속 실리사이드 풍경으로 변화된다. 그후, 제 3 상 구조를 갖는 내염성 금속 실리사이드 풍경은 제 2 상 구조를 갖는 내염성 금속 실리사이드 풍경으로 변화될 수도 있다. 이 경우 내염성 금속은 코발트 및 니켈 중 하나가 되는 것이 바람직하다. 또한, 제 1 상 구조를 갖는 내염성 금속 실리사이드 풍경은 Co_2Si 막이고, 제 3 상 구조를 갖는 내염성 금속 실리사이드 풍경은 CoSi 막이며, 제 2 상 구조를 갖는 내염성 금속 실리사이드 풍경은 CoSi_2 막인 것이 바람직하다. 이 경우에, 제 2 상 구조를 갖는 내염성 금속 실리사이드 풍경으로서 CoSi_2 막이 예상되는 성장된다.

반면의 다른 일례를 성취하기 위해, 반도체 장치 제조 방법은

로제 기판이 가열되는 상태에서 내염성 금속을 증착하는 단계.

즉 확장을 수행하는 동안 제 1 상 구조를 갖는 내염성 금속 실리사이드 풍경을 형성하는 단계.

1 상 구조를 갖는 내염성 금속 실리사이드 풍경이 소결의 막 두께를 갖도록 증착되는 내염성 금속의 양을 제어하는 단계, 및

1 상 구조를 갖는 내염성 금속 실리사이드 풍경을 제 2 상 구조를 갖는 내염성 금속 실리사이드 풍경으로 변화시키기 위해 열 처리를 수행하는 단계.

특히, 본 반면의 또 다른 일례를 성취하기 위해, 반도체 장치 제조 방법은

도체 기판의 실리콘 함유 증상에, 내염성 금속의 원자가 배리어막을 통과하도록 하고 실리콘 함유 응내의 실리콘 원자가 배리어막을 통과하도록 작용하는 배리어막을 형성하는 단계.

길이막상에 증착된 내염성 금속의 원자 뒤 실리콘 함유 응내의 실리콘 원자로부터 제 1 상 구조를 갖는 내염성 금속 실리사이드 응을 형성하고 반도체 기판을 가열하는 단계.

결정 금속의 실리사이드와 보지 않은 부분을 제거하기 위해 반도체 기판을 세정하는 단계. 및

1 상 구조를 갖는 내염성 금속 실리사이드 응을 제 2 상 구조를 갖는 내염성 금속 실리사이드 응으로 변화시키기 위해 열 처리를 수행하는 단계. 및

1 상 구조를 갖는 내염성 금속 실리사이드 응이 제 3 상 구조를 갖는 내염성 금속 실리사이드 응으로 변화되고 그후, 제 3 상 구조를 갖는 내염성 실리사이드 응이 제 2 상 구조를 갖는 내염성 금속 실리사이드 응으로 변화되도록 열 처리가 수행된다. 제 1 상 구조를 갖는 내염성 실리사이드 응은 Co_2Si 막이고, 제 3 상 구조를 갖는 내염성 금속 실리사이드 응은 $CoSi$ 막이며, 제 2 상 구조를 갖는 내염성 금속 실리사이드 응은 $CoSi_2$ 막이다. 이 경우에, 제 2 상 구조를 갖는 내염성 금속 실리사이드 응으로서 $CoSi_2$ 막이 예상되는 성장된다.

그리고, 전부된 도면을 참조하여 본 발명의 실리사이드 응을 형성 방법을 설명한다.

3 은 코발트 실리사이드 응이 본 발명의 제 1 실시예에 따른 제조 방법에 따라 형성된 경우의 MOS 트랜지스터의 탄면도이다.

3 의 (a)에 나타낸 바와 같이, 소자 분리 절연막 (2)은 P형 실리콘 기판 (1)의 표면상에 선택적으로 형성된다. 이 경우에, 소자 분리 절연막 (2)은 동상의 LOCOS법 또는 드리치 소자 분리법에 의해 형성된다. 그후, MOS 트랜지스터의 소오스 및 드레인 영역을 위한 확산은 (3)과 분리 절연막 (2)이 형성되지 않은 영역내에 실리콘 기판 (1)의 표면상에 형성된다. 이 경우에, 확산층 (3)은 비소 이온을 봉순율로서 하늘 N형 확산층이다.

그리고, 확산층 (3) 상의 자린 산화막은 적은 농도 용액과 같은 화학 용액으로 제거된다. 배리어막 (4)은 확산층 (3) 상에 형성된다. 배리어막 (4)은 주로 염금속 실리콘 원자의 확산을 방지하는 역할을 한다. 배리어막 (4)은 1 nm 정도의 약 두께를 갖고 다공성 실리콘 산화막으로 이루어진다. 미와 같은 다공성 실리콘 산화막은 질산 용액에서 실리콘 기판 (1)을 가열함에 의해 형성될 수 있다. 대신에, 앤모니아 용액과 산화수소 용액의 혼합 용액내에서 실리콘 기판 (1)을 가열함에 의해 다공성 실리콘 산화막을 형성하는 것이 가능하다.

그리고, 실리콘 기판 (1)의 표면상에 형성된 후, 코발트막 (5)은 다중 펌버로 이루어진 다중 펌버 장치에서 스퍼터링법에 의해 형성된다. 코발트막은 10⁻⁶ Torr 정도의 고정된 상태로 형성될 수 있다. 스퍼터링법에 의한 막 형성은 450 °C 정도의 고온에서 수행된다. 코발트막 (5)의 막 두께는 10 nm 정도로 설정된다. 또한, 스퍼터링 막 형성 속도는 0.5 nm/sec 정도로 설정된다.

각각은 융로에서의 스퍼터링에서, 확산층 (3)의 일부 표면만이 실리사이드화된다. 실리사이드화된 Co_2Si 막이 형성된다. 코발트막의 코발트 원자는 배리어막 (4)을 통해 실리콘 기판 (1)의 표면으로 이동한다. 그러나, 실리콘 기판 (1)의 표면에서의 실리콘 원자는 코발트 (5)으로 확산하지 않는다. 이것은 배리어막 (4)이 형성되어 실리콘 원자의 확산을 방지하기 때문이다. 스퍼터링법에 의한 막 형성으로는 400에서 500 °C의 범위에서 매우 효과적이라는 것을 주의해야 한다.

그리고, 실리콘 기판 (1)은 진공 상태에서 산소반 대응형비 장치의 다른 펌버로 이동하고 10⁻⁶ Torr 정도의 고정된 상태에서 열 처리가 수행된다. 코발트막은 산화되기가 매우 쉽고, 산화가 쿨란트의 실리사이드화를 방지한다. 그러나, 본 발명에서 실리콘 기판은 대기에서 높이 되지 않고 상태에서 즐겨지기 때문에, 그와 같은 문제는 없다.

그리고, 열 처리 온도는 450 °C 정도로 설정되고, 열 처리 시간은 30 sec 정도이다. 도 3 의 (b)에서 나타낸 바와 같이, 열 처리는 점체 그라인드 (5)의 쿨란트 원자와 배리어막 (4)을 통해 확산층 (3)의 표면으로 확산하게 하여 확산층 (3)의 표면상에 Co_2Si 막을 원전하게 형성한다. Co_2Si 막 (6)은 제 1 상 구조의 고용량 금속 실리사이드 응이다. 실리사이드 응은 사방정계의 단결정 구조를 갖는다. 확산층 (3)의 표면부터 코발트막 (5)으로 실리콘 원자의 이동은 열 처리 동안 배리어막 (4)에 의해 억제된다. 이 때문에, 어떠한 Co_2Si 막 (6)은 배리어막 (4) 상에 있는 소자 분리 절연막 (2) 상에 전히 형성되지 않는다.

그리고, 실리콘 기판 (1)은 소자 분리 절연막 (2) 상의 코발트막 (5)이 선택적으로 예정되도록 확산 용액 및 과산화수소 용액의 혼합 용액에 의해 시간 동안 절인다. 이 방법으로, 도 3 의 (c)에 나타낸 바와 같이, Co_2Si 막 (6)은 실리콘 기판 (1)의 표면상에 형성되었던 확산층에만 형성된다. 어떠한 Co_2Si 막 (6)도 절연막으로서의 소자 분리 절연막 (2) 상에 완전하게 형성되지는 않는다. 또한, 배리어막 (4)은 제 3 상에 제작된 Co_2Si 막 (6) 상에 잘한다.

그리고, 실리콘 기판은 염산 용액 및 과산화수소 용액의 혼합 용액과 앤모니아 용액 및 과산화수소 용액의 혼합 용액으로 세정된다. 미경 배리어막 (4)은 Co_2Si 막 (6)이 상호한 혼합 용액으로 부식되는 것을 방지한다. 농산 Co_2Si 막은 염산 용액 및 과산화수소 용액의 혼합으로 예상된다.

그리고, 제 1 RTA 소결이 절소 분위기에서 수행된다. 제 1 소결의 조건은 800 °C의 온도 및 60 sec 정도의 경정 시간이다.

3 의 (d)에 나타낸 바와 같이, Co_2Si 막 (6)은 제 2 상 구조의 $CoSi$ 막 (7)으로 상 전이가 수행된다. 이 방법으로, $CoSi$ 막 (7)이 확산층 (3)의 상에 형성된다. $CoSi$ 막 (7)은 제 2 상 구조의 고용량 (내염성) 금속 실리사이드 응이다. 실리사이드 응은 일방정계의 단결정 구조를 가진다.

그리고, 제 2 RTA 소결이 절소 분위기에서 수행된다. 제 2 소결의 조건은 800 °C의 온도 및 10 sec 정도의 경정 시간이다.

3 의 (e)에 나타낸 바와 같이, 이번에는 $CoSi$ 막 (7)으로부터 $CoSi_2$ 막 (8)으로 상 전이가 수행된다. $CoSi_2$ 막 (8)은 제 3 상 구조의 고 (내염성) 금속 실리사이드 응이다. 실리사이드 응은 예상되는 성장에 의해 형성되고 일방정계의 단결정 구조를 갖는다. $CoSi_2$ 막의 상수는 실리콘 결정의 양자 상수에 매우 가깝다는 것을 주의해야 한다. 그후, 배리어막 (4)은 허석 예침법에 의해 제거된다.

한반 바와 같이, 이 방법에서, 케증액으로, $CoSi_2$ 막은 실리콘 기판 (1) 상의 확산층 (3)의 표면상에 선택적으로 형성된다. 어떠한 $CoSi_2$

(8) 도 소자 분리 절연막 (2) 상에 접여 형성되지 않는다. 또한, 이 방법에서 $CoSi_2$ 막 (8) 이 에피택셜 성장에 의해 형성되기 때문에, Co 자은 저항이 낮은 것이다.

1 실시예에서, 배리어막 (4) 은 다공성 실리콘 산화마스크로서 형성된다. 이와 같은 배리어막으로서, 0.5 μm 정도의 막 두께를 갖는 실리콘 산화마스크로 사용될 수도 있다. 대신에, 절연막뿐 아니라 금속막으로 배리어막 (4) 이 형성될 수도 있다. 배리어막 (4) 은 Co_2Si 막 (6) 이 형성되는 곳에서 코발트 원자는 통과시키고 실리콘 원자는 통과시키지 않는 특성을 가진다는 것이 중요하다.

1 실시예의 실리사이드 형성 방법에서, 배리어막은 실리콘 기판과 함께 실리사이드화 되는 표면 표면상에 형성되고, 코발트막은 배리어막을 형성된다. 상호한 바와 같이, Co_2Si 막이 형성되고 소결이 수행된다. 표증적으로, $CoSi_2$ 막은 에피택셜 성장되고 실리사이드 형성은 코발트 막에서만 선택적으로 형성된다.

과 같은 방법으로, 실리사이드화된 물질 표면상의 천재 코발트막은 코발트 실리사이드를 통으로 변화된다. 이 때문에, $CoSi_2$ 막의 표면 막은 스파티팅 공정에 의해 형성된 코발트막의 막 두께에 의존한다. 따라서, 코발트 실리사이드 중의 막 두께 차이가 매우 유의해진다. 세미프랜지소스터내에 게이트 전극과 소오스 및 드레인 악산층의 사이트 저항 편자는 반도체 장치가 형성되는 반도체 험 또는 반도체 웨이퍼에서 쉽게 강소될 수 있다. 더욱이, MOS 트랜지스터의 편자 특성이 강소될 수 있다.

즉, 이 방법에서, 코발트 실리사이드 중은 에피택셜 성장에 의해 형성된다. 따라서, 게이트 전극과 소오스 및 드레인 악산층 편면의 표면 글자는 MOS 트랜지스터의 소형화 및 고밀도화와 더불어 작아지는 경우가 있다. 이 경우에, 짧은 패턴 길이 갖는 영역에서 형성된 코발트 실리사이드 중은 넓은 패턴 길이 갖는 영역에 형성된 코발트 실리사이드 중의 막 두께와 같은 막 두께를 갖도록 형성될 수 있다. 즉, 형성된 코발트 실리사이드 중의 저항값은 패턴 크기의존성을 갖지 않는다. 따라서, MOS 트랜지스터 또는 반도체 장치의 편자 특성이 매우 유의해진다.

첫, 상호한 배리어막 (6) 은 Co_2 의 막이 산 세정 공정시에 전류를 갖는 것을 방지하는 역할을 한다. 또한, 에피택셜 성장으로 형성되는 코발트 나이트로은 배리어막에 대한 내성을 향상시킨다. 즉, 코발트 실리사이드 중은 코발트 나이트로에 형성되는 흥점이 미세하게 형성되지 않는다. 이 때문에, MOS 트랜지스터의 제조 공정에서 실리사이드 중을 형성하는 공정이 험하고 안정적으로 이루어져 제조 비용이 강소될 수 있다.

둘, 물 4 및 물 5 를 참조하여 본 방법의 제 2 실시예에 따른 실리사이드 중은 형성하는 방법을 미하 차세히 설명한다. 물 4는 코발트 실리사이드 중이 형성될 때 또 다른 제조 공정을 나타낸다. 물 5는 이 경우에 코발트 막 형성 조건을 지정하는 실험 결과의 그래프이다. 그림에서, 제 1 실시예와 동일한 주성 성분은 통일한 절연 번호에 의해 지시된다.

1 실시예에서 설명된 바와 같이, 물 4의 (a) 에서 소자 분리 절연막 (2) 은 P형 실리콘 기판 (1) 의 표면상에 선택적으로 형성된다. 악산층은 소자 분리 절연막 (2) 이 형성되지 않은 영역에서 실리콘 기판 (1) 의 표면상에 형성된다. 악산층 (3) 은 N형 악산층이다.

물 5로, 코발트막 (5) 은 스파티팅 장치에서 10 μm 의 막 두께를 갖도록 스파티팅원단에 의해 실리콘 기판 (1) 의 표면상에 형성된다. 스파티팅원단의 제조 번호에 의해 막 형성을 400 μm 정도의 고온에서 수행된다.

제 2 실시예에서 중요한 것은 코발트막의 막 형성 속도, 즉, 스파티팅 막 형성 속도가 Co_2Si 막으로의 실리사이드화 속도보다 빠르다는 것이다. 이 경우에, 스파티팅 막 형성 공정에서 악산층 (3) 의 표면에 도달하는 모든 코발트 원자는 악산층 (3) 의 표면상의 실리사이드화에 영향을 주게 된다. 즉, Co_2Si 막 (6) 은 스파티팅 막 형성 공정이 수행된다. 또한, 코발트막 (5) 은 스파티팅 막 형성 공정에서, 절연막으로서의 소자 분리 절연막 (2) 상에 그대로 풀어진다. Co_2Si 막 (6) 은 악산층 (3) 의 표면상에 선택적으로 형성된다. Co_2Si 막 (6) 은 14 μm 정도의 막 두께를 갖도록 설정된다. 이 경우에 스파티팅 막 형성 속도는 제 1 실시예에서의 스파티팅 막 형성 속도보다 빠르게 되는 것에 주의해야 한다.

2 실시예의 방법에서, 스파티팅 막 형성 속도를 적절한 값으로 설정하는 것이 필수적이다. 이것을 물 5 를 참조하여 설명한다.

5 에서, 수평축은 스파티팅 막 형성 속도이고, 좌축 (左軸) 은 코발트 $CoSi_2$ 막의 시이드 저항 편자이며, 우축 (右軸) 은 코발트 실리콘 악산층의 겹한 수설 전류이다.

5 모부팅 할 수 있듯이, 웨이퍼에서 시이드 저항의 편자는 스파티팅 막 형성 속도가 0.3 $\mu m/sec$ 이하일 때 심점적으로 입자하게 되는 3 % 0 한편, 스파티팅 막 형성 속도가 0.3 $\mu m/sec$ 보다 큼 때 편자는 금속화 된다.

거나, 스파티팅 막 형성 속도가 작아지면, 악산층의 편자 확장 누설 전류는 편자 증가한다. 스파티팅 막 형성 속도가 0.05 $\mu m/sec$ 보다 작아지면, 악산층의 전류 누설 전류는 금속화 된다. 이것은 스파티팅 막 형성 속도가 너무 작아지면, 공정 시간이 길어져서 소자 분리 절연막 (2) 다양한 코발트막 (5) 의 코발트 원자가 물 5 에 나타낸 바와 같이, 악산층 (3) 으로 들어가기 때문이다. 이 때, 과도한 실리사이드화가 소자 절연막 (2) 의 표면에서 전류보어 겹한 현상이 일어난다. 상호한 바와 같이, 제 2 실시예에서 코발트의 스파티팅 막 형성 속도는 0.05 $\mu m/sec$ 이고, 3 $\mu m/sec$ 이하로 되어야 한다.

물 5로, 제 1 실시예에서 설명한 바와 같이, 제 1 소결은 적소 분위기에서 수행된다. 이 방법으로, 물 4의 (b) 에 나타낸 바와 같이, 악산층 (3) 상의 Co_2Si 막 (6) 이 $CoSi_2$ 막 (7) 으로의 상 전이가 수행된다. 이 경우에, 코발트막 (5) 은 소자 분리 절연막 (2) 상에 접촉한다. 코발트 (5) 의 표면은 악산화될 수도 있다는 것을 주의해야 한다.

물 5로, 물 4의 (b) 에 나타난 바와 같이, 제 2 소결은 적소 분위기에서 수행된다. 제 2 소결의 조건은 800 $^{\circ}C$ 의 온도이고 공정 시간은 10 sec 정도로 설정된다. 물 4의 (c) 에 나타난 바와 같이, 악산층 (3) 상의 $CoSi_2$ 막 (7) 이 $CoSi_2$ 막 (8) 으로의 상 전이가 수행된다.

물 5로, 제 2 소결이 수행된다. 제 2 소결의 조건은 800 $^{\circ}C$ 의 온도이고 공정 시간은 10 sec 정도로 설정된다. 물 4의 (c) 에 나타난 바와 같이, 악산층 (3) 상의 $CoSi_2$ 막 (7) 이 $CoSi_2$ 막 (8) 으로의 상 전이가 수행된다.

방법으로, $CoSi_2$ 막 (8) 은 코발트으로 실리콘 기판 (1) 상의 악산층 (3) 의 표면상에 선택적으로 형성된다. 어떠한 $CoSi_2$ 막 (8) 도 소자 절연막 (2) 상에 형성되지 않는다.

2 실시예의 경우에, 실리사이드화 되는 딱 표면의 전자 코발트막은 코발트 실리사이드층으로 변화된다. 따라서, 코발트 실리사이드층은 두께 제어가 매우 용이해진다. 반도체 웨이퍼에서 MOS 트랜지스터의 게이트 전극과 소오스 및 드레인 확산층의 사이드 저항 편자는 용이 감소될 수 있어서 MOS 트랜지스터의 편차 대성이 감소될 수 있다.

증으로, 도 6 및 도 7 을 참조하여 본 발명의 제 3 실시예에 따른 실리사이드 형성 방법을 설명한다. 도 8 은 상리사이드 용이 CMOS 트랜지스터에 형성시 제조 공정을 나타낸다. 또한, 도 7 은 실리사이드층이 본 발명의 방법에 의해 형성시 효과를 설명하는 확산층의 사이드 저항 채프이다.

6 의 (a) 에 나타낸 바와 같이, N 형 (22) 은 P 형 MOS 트랜지스터가 P형 실리콘 기판 (21) 상에 형성되는 영역에서 이은 주입 레벨 처리가 형성된다. 계속해서, 소자 분리 접연막 (23) 이 실리콘 기판 (21) 의 표면상에 형성되어 350 nm 정도의 딱 두께를 갖는다. 그후, 게이트 전극 (24) 은 소자 분리 접연막 (23) 에 의해 둘러싸인 영역에서 형성되어 10 nm 의 딱 두께를 갖는다. 그후, 게이트 전극 접진로는 실리사이드에 성장되어 150 nm 의 딱 두께를 갖는다. 이 경우에, 접진리온막은 고농도의 인 이온 둘러싸움을 포함한다.

증으로, 상술한 접진리온막은 관지된 포모리소그래피 기술 및 이은 주입 기술에 의해 패터닝되어 게이트 전극 (25) 을 형성한다. 저농도의 확산층 (26) 및 저농도의 P형 확산층 (27) 이 이은 주입 기술에 의해 차례로 형성된다. 계속적으로, 실리콘 산화막은 접진 표면상에 형성되어 70 nm 의 딱 두께를 갖는다. 그후, 육체 소재이서 (28) 가 미량성 건식 에칭을 사용하는 예전박 방법에 의해 게이트 전극 (25) 의 육면상이 형된다.

증으로, 도 6 의 (b) 에 나타낸 바와 같이, 고농도의 P형 확산층 및 고농도의 N형 확산층은 포모리소그래피 기술 및 이은 주입 기술에 의해 형성된다. 이 방법으로, N형 소오스 및 드레인 확산층 (29) 과 P형 소오스 및 드레인 확산층 (30) 이 형성되어 LDD 구조를 형성한다.

증으로, 접진실리온을 이후에 진 게이트 전극 (25) 의 표면상의 그리고 실리콘 기판 (21) 의 표면상의 자연 산화막은 같은 불산 용액으로 제거된다.

학적으로, 제 1 실시예에서와 같이, 배리어막 (31) 은 N형 소오스 및 드레인 확산층 (29) 상에, P형 소오스 및 드레인 확산층 (30) 상에, 그 게이트 전극 (25) 의 표면상에 형성된다.

증으로, 제 1 실시예에서와 동일한 방법으로, 코발트막 (32) 이 단층전버 광원에서 스페터링에 의해 형성된다. 이 경우에, 스페터링 액은 450 °C 정도의 고온에서 수행된다. 코발트막 (32) 의 딱 두께는 15 nm 정도로 설정된다. 실리콘 기판 (21) 은 동일한 전기 상태에서 광 단층전버 광원의 다른 광원에 이송되고 10² Torr 정도의 고정온 상태에서 열 처리가 수행된다. 이 경우에, 열 처리 온도는 450 °C 정도로 설정되고 열 처리 시간은 30 sec 정도이다. 열 처리를 거쳐, 코발트막 (32) 의 코발트 원자는 배리어막 (31) 을 통해 N형 소오스 및 드레인 확산층 (29) 의 표면으로, P형 소오스 및 드레인 확산층 (30) 의 표면으로 그리고 게이트 전극 (25) 의 표면상에 Co₂Si (33) 를 형성한다.

증으로, 실리콘 기판 (21) 은 용산 및 화산화수소 용액의 혼합 용액에 잠지되어 단식 에칭에 의해 소자 분리 접연막 (23) 상의 그리고 육체 소재이서 (28) 상의 코발트막 (32) 을 선택적으로 제거한다. 이 방법으로, Co₂Si 막 (33) 은 N형 소오스 및 드레인 확산층 (29) 의 표면상에 소오스 및 드레인 확산층 (30) 의 표면상에 그리고 게이트 전극 (25) 의 표면상에만 잘존하게 된다. 이 경우에, 어떤한 Co₂Si 막도 접연막 (33) 을 형성한다.

증으로, 세정 공정이 수행된다. 그후, 제 1 실시예에서와 같이, 제 1 소금 용정이 점소 분위기에서 수행된다. 결과적으로, 도 8 의 (c) 나타낸 바와 같이, Co₂Si 막 (33) 으로부터 Co₂Si 막 (34) 으로 상 전이가 수행된다. 이 방법으로, Co₂Si 막 (34) 이 N형 소오스 및 드레인 확산층 (29) 의 표면상에 그리고 P형 소오스 및 드레인 확산층 (30) 의 표면상에 그리고 게이트 전극 (25) 의 표면상에 형성된다.

증으로, 제 1 실시예에서 선명한 바와 같이, 제 2 소금 용정이 수행된다. 이 경우에, 제 2 소금은 10 sec 정도의 공정 시간 중인 800 °C 도에서 수행된다. 도 8 의 (d) 에 나타낸 바와 같이, Co₂Si 막 (34) 이 이번에Co₂Si₂ 막 (35) 으로 상 전이하게 된다.

방법으로, Co₂Si₂ 막은 층층적으로 CMOS 트랜지스터에서 N형 소오스 및 드레인 확산층 (29) 의 표면상에, P형 소오스 및 드레인 확산층 (30) 의 표면상에 그리고 게이트 전극 (25) 의 표면상에 선택적으로 형성된다. 즉, 코발트 실리사이드를 사용하는 실리사이드화가 MOS 트랜지스터에서 수행된다.

증한 CMOS 트랜지스터에서 실리사이드화를 통해 형성되었던 Co₂Si₂ 막은 0.2 nm 의 페인 펙을 갖는 게이트 전극에서, 그리고 0.5 nm 이하의 펙을 갖는 N형 소오스 및 드레인 확산층과 P형 소오스 및 드레인 확산층에서 낮은 시이드 저항값이 형성된다.

7 을 참조하여 본 발명에 의해 성취된 신원 결과를 설명한다.

7 의 (a) 는 본 발명의 제조 방법에 의해 형성된 코발트 실리사이드층의 시이드 저항의 N형 소오스 및 드레인 확산층 패턴 펙의 결성을 나타낸다. 도 7 의 (b) 는 본 발명의 제조 방법에 의해 형성된 코발트 실리사이드층의 시이드 저항의 P형 소오스 및 드레인 확산층 패턴 딱 결성을 나타낸다. 도 7 에서, 수평축은 소오스 및 드레인 확산층 펙을 지시하고 수직축은 웨이퍼에서 코발트에 의해 형성되었던 소오스 및 드레인 확산층의 시이드 저항을 지시한다. 도 7 에서, 수 마크는 코발트 실리사이드층이 제 1 증류에에서의 방법에 의해 형성될 때 시이드 저항값을 지시한다. 고 O 마크는 실리사이드 중이 제 3 실시예의 방법에 의해 형성될 때 시이드 저항값을 지시한다. 도 7 도구를 알 수 있듯이, 증류에에서, 소오스 및 드레인 확산층 펙이 0.3 nm 와 동일하거나 보다 큼마침 때, 시이드 저항값은 펙차 증가한다. 또한, 시이드 저항값의 70 % 정도의 펙 웨이퍼에서 발생하게 된다.

증, 본 발명의 방법에서, 시이드 저항값의 절대값은 크게 감소한다. 또한, 시이드 저항값의 소오스 및 드레인 확산층 펙의 결성이 사라지 이르 저항값은 소오스 및 드레인 확산층 펙이 0.1 nm 정도가 될 때까지 실질적으로 일정하다. 웨이퍼에서 시이드 저항값의 펙차는 3 % 이다.

기 효과는 MOS 트랜지스터에서 소오스 및 드레인 확산층이 N형 확산층인지 또는 P형 확산층인지에 관계없이 형성된다. 또한, 실리사이드 후 게이트 전극의 시이드 저항값은 상술한 것과 동일한 효과를 갖는다.

술한 실시에에서는, 실리온 기판이 P형인 경우도 쳐명된다. 그러나, 본 발명은 이에 한정되지 않고 N형 실리온 기판에 적용될 수 있다. 경우에, P형 및 N형은 선형에서 교체되어야 한다.

또, 제 3 실시에에서, 코발트 실리사이드 중이 형성될 때, 제 2 실시에에서 설명된 방법이 사용될 수도 있다. 또는, 제 1 실시에에서 설명 방법 및 제 2 실시에에서 설명된 방법이 병용될 수도 있다.

3. 본 발명의 방법에서, 니켈이 코발트 대신 사용될 수도 있다. 이 경우, 코발트 실리사이드 음은 NiSi 막으로 이루어진다.

발명의 효과

본에서 설명한 바와 같이, 본 발명의 반도체 장치 제조 방법에 따라, 고용접 (내연성) 금속 실리사이드 음이 반도체 기판상의 소정의 형식에 막으로 형성될 수 있다. 따라서, 반도체 기판이 가열되는 동안, 고용접 금속막이 형성되고 제 1 상 구조를 갖는 고용접 금속 실리사이드는 형성된다. 염 처리도 거쳐, 제 1 상 구조를 갖는 고용접 금속 실리사이드 음은 제 2 상 구조를 갖는 고용접 금속 실리사이드 막으로 변화된다. 이 경우에, 다공성 실리온화막으로 이루어진 배리어막은 고용접 금속 실리사이드 음과 상호한 고용접 금속막 사이에서 형성된다.

설명, 반도체 기판이 가열되는 동안, 고용접 금속이 반도체 기판 표면상에 증착된다. 동시에, 증착된 고용접 금속을 막 반응을 통해 제 1 상 구조를 갖는 고용접 금속 실리사이드 막으로 변화된다. 이 경우에, 고용접 금속막의 막 형성 속도는 제 1 상 구조를 갖는 고용접 금속 실리사이드 막이 형성되는 상 전이 속도보다 빠르게 진행된다. 그후, 염 처리가 수행되어 제 1 상 구조를 갖는 상층의 고용접 금속 실리사이드 음은 제 2 상 구조 또는 제 3 상 구조를 갖는 고용접 금속 실리사이드 음으로 변화된다. 따라서, 제 3 상 구조를 갖는 고용접 금속 실리사이드 음은 막 형성될 수 있다.

1) 트랜지스터에서 소오스 및 드레인 악산층 또는 게이트 전극의 저항은 즐겨 감소한다. 또한, 코발트 실리사이드 음의 저항값은 제 1 상의 저항성을 갖지 않아서 MOS 드레인스터 또는 반도체 장치의 성능을 매우 용이하게 수행되게 한다.

2) 고용접 금속막은 Co_2Si 막으로 이루어진 제 1 상 구조를 갖는 고용접 금속 실리사이드 음으로 상 전이하게 된다. 이 때문에, Co_2Si 막은 이루어진 제 3 상 구조를 갖는 코발트 고용접 금속 실리사이드 음의 막 두께는 고용접 금속막의 막 형성 증정에서 고용접 금속막의 막 두께 그대로 의존한다. 따라서, 고용접 금속 실리사이드 음의 막 두께 절대가 매우 용이해진다. 또한, 반도체 전기 또는 반도체 웨이퍼의 MOS 트랜지스터에서 게이트 전극과 소오스 및 드레인 악산층의 시마드 저항값의 형차가 용이하게 양소될 수 있다.

발명에 따라, 실리사이드 음의 형성 과정이 단순화되고 양질되어 제조 비용의 감소를 가져온다. 실리사이드화된 형식의 크기가 0.1 μ m 정도로 매우 작아진다 하더라도, 고급점의 실리사이드 음이 형성될 수 있다. 결과적으로, 반도체 장치의 고급화 및 고가가 성취될 수 있다.

7. 전구의 범위

구항 1.

1 상 구조를 갖는 내연성 금속 실리사이드 음을 형성하는 단계, 및

가) 제 1 상 구조를 갖는 상기 내연성 금속 실리사이드 음을 제 2 상 구조를 갖는 내연성 금속 실리사이드 음으로 변화시키는 염 처리를 수행하는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 2.

1 항에 있어서, 상기 제 1 상 구조를 갖는 상기 내연성 금속 실리사이드 음을 형성하는 단계는 반도체 기판이 가열되는 상태에서, 내연성 금속막 작업을 수행하는 동안 상기 제 1 상 구조를 갖는 상기 내연성 금속 실리사이드 음을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 제조 방법.

구항 3.

2 항에 있어서, 상기 내연성 금속의 증착 속도는 상기 내연성 금속이 내연성 금속 실리사이드로의 상 전이 속도보다 빠른 것을 특징으로 하는 반도체 장치 제조 방법.

구항 4.

3 항에 있어서, 상기 내연성 금속의 상기 증착 속도는 0.05 nm/sec로부터 0.3 nm/sec의 범위내에 있는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 5.

1 항에 있어서, 상기 제 1 상 구조를 갖는 상기 내연성 금속 실리사이드 음을 형성하는 단계는

을 상태에서 내연성 금속막을 증착하는 단계, 및

가) 내연성 금속막을 상기 제 1 상 구조를 갖는 상기 내연성 금속 실리사이드 음으로 변화시키도록 전극 상태에서 반도체 기판을 가열하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 6.

1 항 내지 제 5 항중 어느 한 항에 있어서, 상기 제 1 상 구조를 갖는 상기 내연성 금속 실리사이드 음을 형성하는 단계는

로제 기판의 실리온 함유 음상에 배리어막을 형성하는 단계로서, 상기 배리어막은 내연성 금속의 원자가 상기 배리어막을 통과하도록 하고 상기 실리온 함유 음의 실리온 원자가 상기 배리어막을 통과하지 못하도록 작용하는 배리어막 형성 단계, 및

가) 배리어막상에 등작된 상기 내연성 금속의 상기 원자 및 상기 실리온 함유 음의 상기 실리온 원자로부터 상기 제 1 상 구조를 갖는 상기 내연성 금속 실리사이드 음을 형성하도록 상기 반도체 기판을 가열하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 7.

6 항에 있어서, 상기 배리어막은 다공성 실리콘 산화막인 것을 특징으로 하는 반도체 장치 제조 방법.

구항 8.

6 항에 있어서, 상기 내염성 금속은 상기 반도체 기판이 400 내지 500 °C 범위의 온도로 가열되는 동안 상기 배리어막상에 형성되는 것을 서로 하는 반도체 장치 제조 방법.

구항 9.

1 항 내지 제 5 항중 어느 한 항에 있어서, 내염성 금속의 실리사이드화 되지 않은 부분을 제거하기 위해 반도체 기판을 세정하는 단계를 더 하는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 10.

9 항에 있어서, 상기 세정 단계는 내염성 금속의 실리사이드화 되지 않은 부분을 제거하기 위해 완산 용액 및 고산화수소 용액의 혼합 용액은 상기 반도체 기판을 세정하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 11.

1 항 내지 제 5 항중 어느 한 항에 있어서, 상기 열 처리를 수행하는 단계는 상기 제 1 상 구조를 갖는 상기 내염성 금속 실리사이드 중이 제 구조를 갖는 내염성 금속 실리사이드 중으로 변화되고, 그후 상기 제 3 상 구조를 갖는 상기 내염성 금속 실리사이드 중은 상기 제 2 상 구조는 내염성 금속 실리사이드 중으로 변화되도록 열 처리를 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 12.

11 항에 있어서, 상기 내염성 금속은 코발트 및 니켈중 하나인 것을 특징으로 하는 반도체 장치 제조 방법.

구항 13.

11 항에 있어서, 상기 제 1 상 구조를 갖는 상기 내염성 금속 실리사이드 중은 $Co_{2}Si$ 이고, 상기 제 3 상 구조를 갖는 상기 내염성 금속 중 나이트린은 $CoSi_2$ 이며, 상기 제 2 상 구조를 갖는 상기 내염성 금속 실리사이드 중은 $CoSi_2$ 막인 것을 특징으로 하는 반도체 장치 제조 방법.

구항 14.

13 항에 있어서, 상기 제 2 상 구조를 갖는 상기 내염성 금속 실리사이드 중으로서 상기 $CoSi_2$ 막이 에피택셜 성장되는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 15.

온체 기판이 가열되는 상태에서 내염성 금속을 증착하는 단계.

다 학업을 수행하는 동안 상기 제 1 상 구조를 갖는 상기 내염성 금속 실리사이드 중을 형성하는 단계.

기 제 1 상 구조를 갖는 상기 내염성 금속 실리사이드 중이 소정의 학도계를 갖도록 증착되는 상기 내염성 금속의 양을 제어하는 단계. 및

기 제 1 상 구조를 갖는 상기 내염성 금속 실리사이드 중을 제 2 상 구조를 갖는 내염성 금속 실리사이드 중으로 변화시키는 열 처리를 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 16.

15 항에 있어서, 상기 내염성 금속의 증착 속도는 상기 내염성 금속이 내염성 금속 실리사이드로의 상 전이 속도보다 작은 것을 특징으로 하는 반도체 장치 제조 방법.

구항 17.

16 항에 있어서, 상기 내염성 금속의 상기 증착 속도는 0.05 $\mu\mu/m^2/sec$ 내지 0.8 $\mu\mu/m^2/sec$ 의 범위내에 있는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 18.

온체 기판의 실리콘 합유 흥상에 배리어막을 형성하는 단계로서, 상기 배리어막은 내염성 금속의 원자가 상기 배리어막을 통과하도록 하고 속 실리콘 합유 흥상의 실리콘 원자가 상기 배리어막을 통과하지 못하도록 작용하는, 배리어막 형성 단계.

기 배리어막상에 증착된 상기 내염성 금속의 상기 원자 및 상기 실리콘 합유 흥상의 상기 실리콘 원자로부터 상기 제 1 상 구조를 갖는 상기 내염성 금속 실리사이드 중을 형성하도록 상기 반도체 기판을 가열하는 단계.

기 내염성 금속의 실리사이드화 되지 않은 부분을 제거하기 위해 상기 반도체 기판을 세정하는 단계. 및

기 제 1 상 구조를 갖는 상기 내염성 금속 실리사이드 중을 제 2 상 구조를 갖는 내염성 금속 실리사이드 중으로 변화시키도록 열 처리를 수행하는 단계를 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

구항 19.

18 항에 있어서, 상기 열 처리를 수행하는 단계는,

기 제 1 상 구조를 갖는 상기 내염성 금속 실리사이드 중이 제 3 상 구조를 갖는 내염성 금속 실리사이드 중으로 변화되고, 그후 상기 제 3 상 구조를 갖는 상기 내염성 금속 실리사이드 중이 상기 제 2 상 구조를 갖는 내염성 금속 실리사이드 중으로 변화되도록 제 1 열 처리를 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

구함 20.

18 항에 있어서, 상기 내열성 금속은 코발트 및 니켈중 하나인 것을 특징으로 하는 반도체 장치 제조 방법.

구함 21.

18 항에 있어서, 상기 제 1 상 구조를 갖는 상기 내열성 금속 식리사이드 중은 Co_2Si 막이고, 상기 제 3 상 구조를 갖는 상기 내열성 금속은 나이드 중은 $CoSi$ 막이며, 상기 제 2 상 구조를 갖는 상기 내열성 금속 식리사이드 중은 $CoSi_2$ 막인 것을 특징으로 하는 반도체 장치 제조 방법

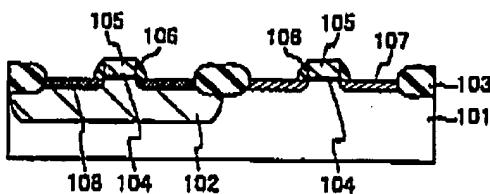
구함 22.

21 항에 있어서, 상기 제 2 상 구조를 갖는 상기 내열성 금속 식리사이드 중으로서 상기 $CoSi_2$ 막이 에피택의 성장되는 것을 복장으로 하는 반도체 장치 제조 방법.

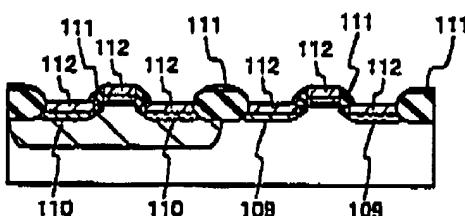
2

도면 1

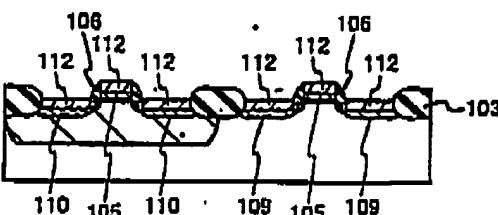
(a) 종 래 기 술



(b) 종 래 기 술

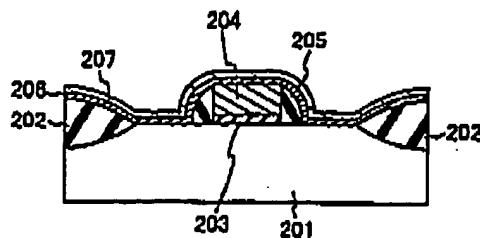


(c) 종 래 기 술

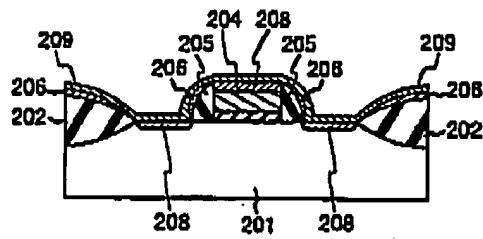


도면 2

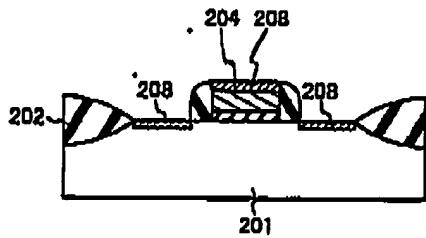
(a) 종 래 기 술



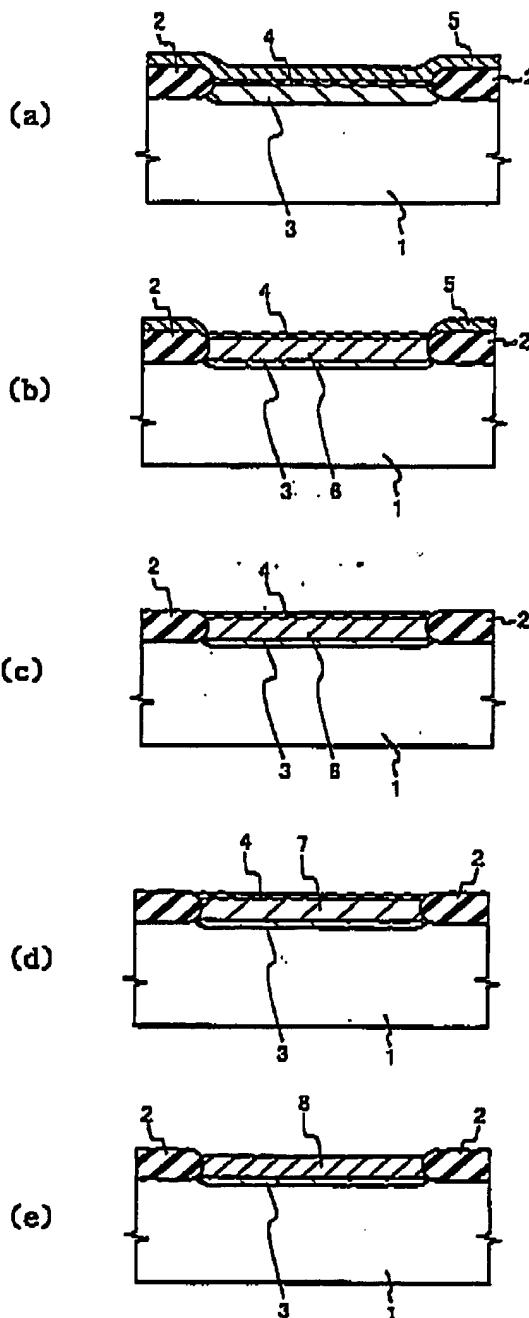
(b) 종 래 기 술



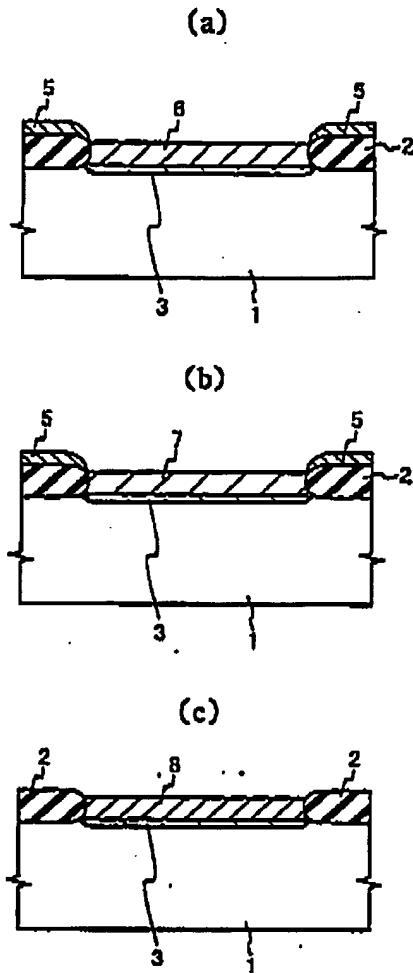
(c) 종 래 기 술



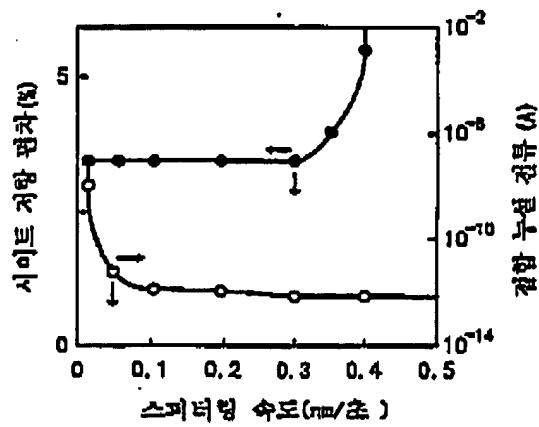
도면 3



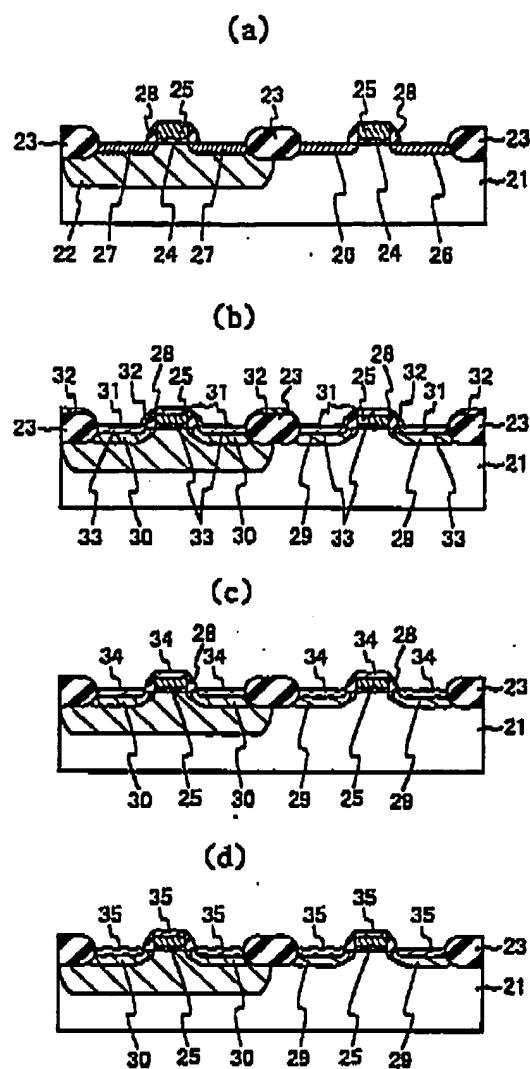
도면 4



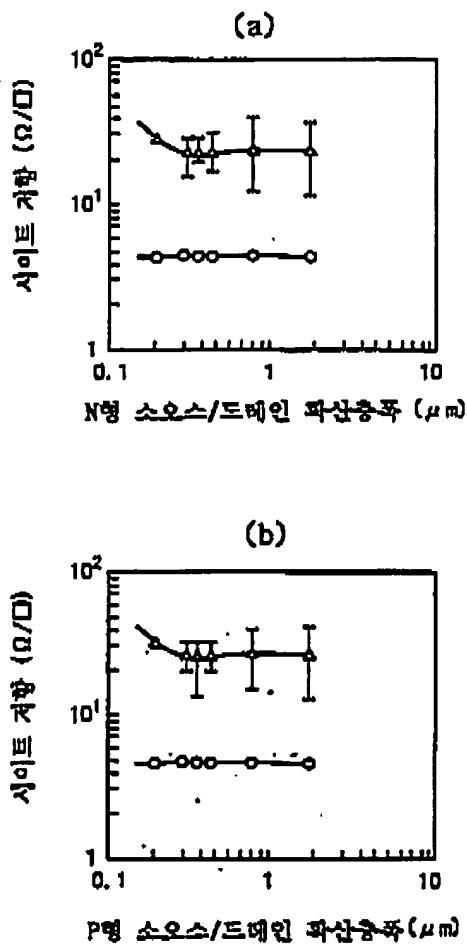
도면 5



도면 6



도면 7



ABSTRACT

PROBLEM TO BE SOLVED: To enable forming a microstructural silicide layer of high quality by forming a high melting point metal silicide layer of a first phase structure, while a semiconductor substrate is heated, eliminating a high melting point metal layer which has not yet reacted, and converting the metal silicide layer to a high melting point metal silicide layer of a second or a third phase structure by thermal treatment.

SOLUTION: A diffusion layer 3 is formed on an Si substrate 1, a barrier film 4 is formed, a cobalt film 5 is formed by sputtering at a high temperature, and a Co₂Si film is formed by turning a part of the diffusion layer 3 into silicide. A high melting point metal silicide layer (HMS) of a first phase structure constituted of the Co₂Si film 6 is formed on the surface of the diffusion layer 3 by thermal treatment. The cobalt film 5 on an element isolating dielectric film 2 is eliminated by wet etching, and the Co₂Si film 6 is subjected to phase transition by sintering in the nitrogen atmosphere and converted into an HMS of a second phase structure constituted of a CoSi film. Then the CoSi film is again subjected to phase transition by sintering and converted into an HMS of a third phase structure constituted of a CoSi₂ film.